



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2024-0063728  
(43) 공개일자 2024년05월10일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 21/02 (2006.01)  
H01L 29/66 (2006.01) H10B 12/00 (2023.01)  
(52) CPC특허분류  
H01L 29/78618 (2013.01)  
H01L 21/02175 (2013.01)  
(21) 출원번호 10-2023-0009350  
(22) 출원일자 2023년01월25일  
심사청구일자 2023년01월25일  
(30) 우선권주장  
1020220144935 2022년11월03일 대한민국(KR)

(71) 출원인  
고려대학교 산학협력단  
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)  
(72) 발명자  
유현용  
서울특별시 서초구 신반포로 270(반포동, 반포자이)  
김종현  
서울특별시 성북구 고려대로 13 길 18-20(안암동 2가)  
(뒷면에 계속)  
(74) 대리인  
특허법인주연케이알피

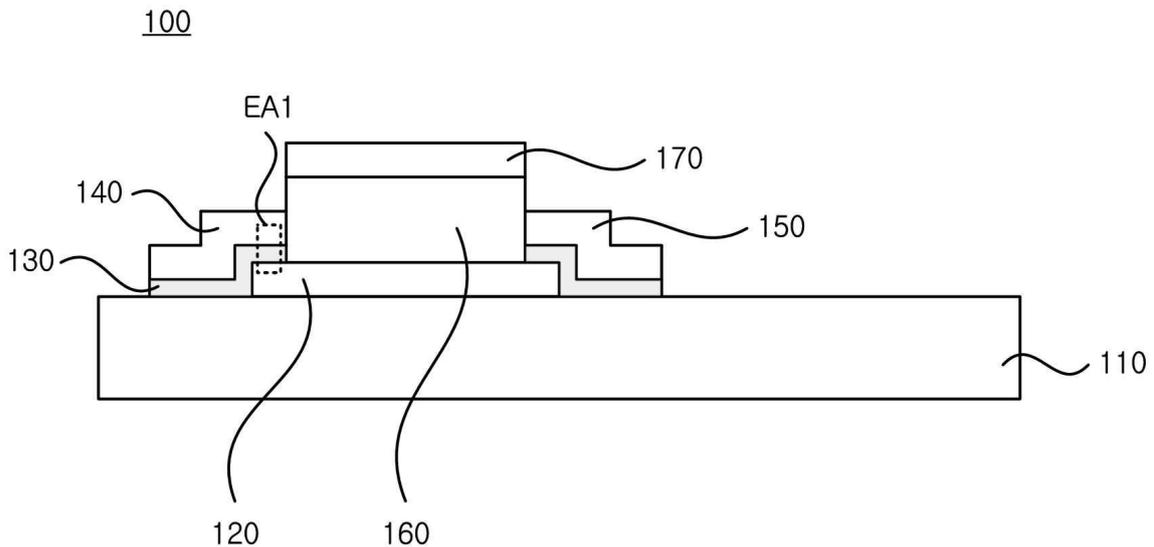
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 산소면적밀도 조절 기술이 적용된 소스와 드레인 전극의 금속-유전층-반도체 구조를 갖는 산화물 반도체 트랜지스터 및 그 제조 방법

**(57) 요약**

본 발명의 산화물 반도체 트랜지스터는 산화물 반도체층; 산화물 반도체층의 양단에 연결되는 소스 전극과 드레인 전극; 상기 소스 전극 및 상기 드레인 전극과 상기 산화물 반도체층 사이에 마련되며, 상기 산화물 반도체층과의 OAD 값 차이로 인해 상기 산화물 반도체층에 국부적인 도핑 농도를 증가시키는 기능층; 및 상기 산화물 반도체층과 적어도 일부가 중첩하는 게이트 전극을 포함하며, 상기 산화물 반도체층의 국부적인 도핑 농도 증가로 인해, 상기 소스 전극 및 상기 드레인 전극과 상기 산화물 반도체층 사이의 접촉 저항이 감소될 수 있다.

**대표도** - 도2



(52) CPC특허분류

H01L 21/02318 (2013.01)  
 H01L 29/66969 (2013.01)  
 H01L 29/7869 (2013.01)  
 H01L 29/78696 (2013.01)  
 H10B 12/01 (2023.02)

진동규

인천광역시 미추홀구 경인남길 102 번길 56(용현동)

(72) 발명자

**송성주**

경기도 안양시 동안구 달안로 124(관양동, 한가람 신라아파트)

**김상필**

인천광역시 남동구 아암대로 1503 번길 21(논현동, 에코메트로 10 블록 한화 꿈에그린아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711157139
과제번호	2020M3F3A2A01082329
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	지능형반도체선도기술개발사업 - 차세대지능형반도체기술개발사업 - 신소자원천기술개발
연구과제명	저온 공정 기반 Si/SiGe M3D 집적 소자 및 회로 플랫폼 기술개발
기 여 율	1/1
과제수행기관명	고려대학교
연구기간	2022.01.01 ~ 2023.02.28

---

## 명세서

### 청구범위

#### 청구항 1

산화물 반도체층;

산화물 반도체층의 양단에 연결되는 소스 전극과 드레인 전극;

상기 소스 전극 및 상기 드레인 전극과 상기 산화물 반도체층 사이에 마련되며, 상기 산화물 반도체층과의 OAD 값 차이로 인해 상기 산화물 반도체층에 국부적인 도핑 농도를 증가시키는 기능층; 및

상기 산화물 반도체층과 적어도 일부가 중첩하는 게이트 전극을 포함하며,

상기 산화물 반도체층의 국부적인 도핑 농도 증가로 인해, 상기 소스 전극 및 상기 드레인 전극과 상기 산화물 반도체층 사이의 접촉 저항이 감소되는 산화물 반도체 트랜지스터.

#### 청구항 2

제1 항에 있어서,

상기 산화물 반도체층이 n-타입 산화물 반도체층이면, 상기 기능층은 상기 산화물 반도체층의 OAD 값보다 낮은 OAD 값을 갖는 물질을 포함하며,

상기 기능층은 플라즈마를 이용한 표면 처리되어 OAD 값이 감소하여, 상기 기능층의 플라즈마를 이용한 표면 처리 이전보다 상기 기능층 및 상기 산화물 반도체층의 OAD 값의 차이가 증가되는 산화물 반도체 트랜지스터.

#### 청구항 3

제2 항에 있어서,

상기 플라즈마를 이용한 표면 처리된 상기 기능층은 상기 산화물 반도체층에 산소 공극을 유발시키는 산화물 반도체 트랜지스터.

#### 청구항 4

제1 항에 있어서,

상기 산화물 반도체층이 p-타입 산화물 반도체층이면, 상기 기능층은 상기 산화물 반도체층의 OAD 값보다 높은 OAD 값을 갖는 물질을 포함하며,

상기 기능층은 열 처리되어 OAD 값이 증가하여, 상기 기능층의 열 처리 이전보다 상기 기능층 및 상기 산화물 반도체층의 OAD 값의 차이가 증가되는 산화물 반도체 트랜지스터.

#### 청구항 5

제4 항에 있어서,

상기 열 처리된 상기 기능층은 상기 산화물 반도체층에 산소 이온을 제공하여, 양이온의 공극을 유발시키는 산화물 반도체 트랜지스터.

#### 청구항 6

제1 항에 있어서,

상기 기능층은  $TiO_2$ ,  $ZnO$ ,  $Al_2O_3$ ,  $ZrO_2$ ,  $SiO_2$  및  $Y_2O_3$  중 적어도 하나를 포함하는 산화물 반도체 트랜지스터.

#### 청구항 7

제1 항에 있어서,

상기 기능층은 10nm 미만의 두께를 갖는 산화물 반도체 트랜지스터.

**청구항 8**

비트 관독 라인;

비트 기입 라인;

워드 관독 라인;

워드 기입 라인;

상기 비트 기입 라인 및 상기 워드 관독 라인에 연결되는 제1 산화물 반도체 트랜지스터; 및

상기 비트 관독 라인 및 상기 워드 기입 라인에 연결되고, 전하 저장 노드를 통하여 상기 제1 산화물 반도체 트랜지스터에 연결되는 제2 트랜지스터를 포함하며,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 중 적어도 하나는

산화물 반도체층;

산화물 반도체층의 양단에 연결되는 소스 전극과 드레인 전극;

상기 소스 전극 및 상기 드레인 전극과 상기 산화물 반도체층 사이에 마련되며, 상기 산화물 반도체층과의 OAD 값 차이로 인해 상기 산화물 반도체층에 국부적인 도핑 농도를 증가시키는 기능층; 및

상기 산화물 반도체층과 적어도 일부가 중첩하는 게이트 전극을 포함하며,

상기 산화물 반도체층의 국부적인 도핑 농도 증가로 인해, 상기 소스 전극 및 상기 드레인 전극과 상기 산화물 반도체층 사이의 접촉 저항이 감소되는 메모리 셀.

**청구항 9**

제8 항에 있어서,

상기 산화물 반도체층이 n-타입 산화물 반도체층이면, 상기 기능층은 상기 산화물 반도체층의 OAD 값보다 낮은 OAD 값을 갖는 물질을 포함하며,

상기 기능층의 플라즈마를 이용한 표면 처리를 통하여 상기 기능층 및 상기 산화물 반도체층의 OAD 값의 차이가 증가되고,

상기 기능층은 상기 산화물 반도체층에 산소 공극을 유발시키는 메모리 셀.

**청구항 10**

제8 항에 있어서,

상기 산화물 반도체층이 p-타입 산화물 반도체층이면, 상기 기능층은 상기 산화물 반도체층의 OAD 값보다 높은 OAD 값을 갖는 물질을 포함하며,

상기 기능층의 열 처리를 통하여 상기 기능층 및 상기 산화물 반도체층의 OAD 값의 차이가 증가되며,

상기 기능층은 상기 산화물 반도체층에 산소 이온을 제공하여, 양이온의 공극을 유발시키는 메모리 셀.

**청구항 11**

제8 항에 있어서,

상기 기능층은  $TiO_2$ ,  $ZnO$ ,  $Al_2O_3$ ,  $ZrO_2$ ,  $SiO_2$  및  $Y_2O_3$  중 적어도 하나를 포함하는 메모리 셀.

**청구항 12**

제8 항에 있어서,

상기 기능층은 10nm 미만의 두께를 갖는 메모리 셀.

### 청구항 13

산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층의 양단 상에 기능층을 형성하는 단계;

상기 산화물 반도체층 및 상기 기능층의 OAD 값의 차이가 증가하도록 상기 기능층의 OAD 값을 조정하는 기능층 특성 개선 단계;

상기 산화물 반도체층 양단의 상기 기능층 상에 소스 전극 및 드레인 전극을 형성하는 단계; 및

상기 산화물 반도체층과 적어도 일부가 중첩하는 게이트 전극을 형성하는 단계를 포함하며,

상기 기능층 특성 개선 단계는 상기 산화물 반도체층 및 상기 기능층의 OAD 값의 차이를 증가시키는 산화물 반도체 트랜지스터의 제조 방법.

### 청구항 14

제13 항에 있어서,

상기 산화물 반도체층이 n-타입 산화물 반도체층이면, 상기 기능층은 상기 산화물 반도체층의 OAD 값보다 낮은 OAD 값을 갖는 물질을 포함하며,

상기 기능층 특성 개선 단계에서는 상기 기능층을 플라즈마를 이용한 표면 처리하여 상기 기능층의 OAD 값을 낮추며,

상기 플라즈마를 이용한 표면 처리에 의해, 상기 기능층 및 상기 산화물 반도체층의 OAD 값의 차이가 증가된 산화물 반도체 트랜지스터의 제조 방법.

### 청구항 15

제14 항에 있어서,

상기 플라즈마를 이용한 표면 처리된 상기 기능층은 상기 산화물 반도체층에 산소 공극을 유발시키는 산화물 반도체 트랜지스터의 제조 방법.

### 청구항 16

제13 항에 있어서,

상기 산화물 반도체층이 p-타입 산화물 반도체층이면, 상기 기능층은 상기 산화물 반도체층의 OAD 값보다 높은 OAD 값을 갖는 물질을 포함하며,

상기 기능층 특성 개선 단계에서는 상기 기능층을 열 처리하여 상기 기능층의 OAD 값을 높이며,

상기 열 처리에 의해, 상기 기능층 및 상기 산화물 반도체층의 OAD 값의 차이가 증가된 산화물 반도체 트랜지스터의 제조 방법.

### 청구항 17

제16 항에 있어서,

상기 열 처리된 상기 기능층은 상기 산화물 반도체층에 산소 이온을 제공하여, 양이온의 공극을 유발시키는 산화물 반도체 트랜지스터의 제조 방법.

## 발명의 설명

### 기술 분야

본 발명은 산소면적밀도 조절 기술이 적용된 소스와 드레인 컨택의 금속-유전층-반도체 구조를 갖는 산화물 반도체 트랜지스터 및 그 제조 방법에 관한 것이다.

### 배경 기술

[0001]

- [0002] 반도체 소자의 고집적화를 달성하기 위해 소자의 단위면적 감소는 필연적인 과제이며, 이를 위해 메모리/로직의 아키텍처 구조가 기존 2차원 구조에서 3차원 적층 구조로 변화하고 있다.
- [0003] 특히, 최근에는 차세대 3차원 적층형 DRAM(stackable Dynamic Random Access Memory) 구현을 위해 캐패시터가 없이 2개의 비정질 산화물 반도체(amorphous oxide semiconductor, AOS) 트랜지스터를 기반으로 하는 2T-0C DRAM 셀 구조가 활발히 연구되고 있다.
- [0004] 2T-0C DRAM 셀 구조는 IGZO(Indium Gallium Zinc Oxide) 비정질 채널로 인해, 매우 낮은 오프 전류( $3 \times 10^{-19} \text{A}/\mu\text{m}$  미만) 특성을 가질 수 있다.
- [0005] 한편, 비정질 산화물 반도체 트랜지스터는 넓은 밴드갭 특성에서 기인한 낮은 오프 전류, 균일한 박막 형성, 저온공정, 저비용 대면적 제작 등의 장점이 있어 Si 채널을 대체하기 위한 다양한 성능개선 연구가 진행되어 오고 있다.
- [0006] 다만, 비정질 산화물 반도체 트랜지스터의 접촉 저항은  $10^{-5} \Omega \cdot \text{cm}^2$  수준으로, Si 채널의 접촉 저항( $10^{-9} \Omega \cdot \text{cm}^2$ )보다 매우 높을 수 있다. 또한 소스/드레인 접촉 저항은 스케일링 다운(scaling down)에 따라 전체 소자의 저항에서 차지하는 비중이 급증하여 반도체 소자의 온 전류 특성이 열화되는 주요 원인으로 작용한다.
- [0007] 비정질 산화물 반도체 IGZO 채널의 높은 접촉 저항은 넓은 밴드갭 특성과 비정질 물질 특성으로 인한 높은 자체 결함 밀도(native defect density)에서 기인한다. 따라서 기존 비정질 산화물 반도체 IGZO 컨택 연구는 채널에  $\text{H}_2$ , Ar, F,  $\text{NF}_3$  등의 플라즈마 처리(plasma treatment)를 통해 캐리어 농도(carrier concentration)를 증가시키는 방법을 사용하여 접촉 저항을 개선하였으나, 플라즈마 처리는 채널에 직접적인 매우 큰 손상(bombardment damage)을 야기하고, 채널 표면의 계면 트랩 농도(interface trap density,  $D_{it}$ )를 추가적으로 야기하여 소자의 접촉 저항 증가의 원인이 될 수 있다.

### 발명의 내용

#### 해결하려는 과제

- [0008] 본 발명은 상기와 같은 종래 기술의 문제점을 해결하고자 창출된 것으로서, 본 발명의 일 목적은 소스 전극 및 드레인 전극과 산화물 반도체층 사이의 접촉 저항을 감소시킬 수 있는 산소면적밀도 조절 기술이 적용된 소스와 드레인 컨택의 금속-유전층-반도체 구조를 갖는 산화물 반도체 트랜지스터 및 그 제조 방법을 제공하기 위한 것이다.

#### 과제의 해결 수단

- [0009] 본 발명의 일 측면에 따른 산화물 반도체 트랜지스터는 산화물 반도체층; 산화물 반도체층의 양단에 연결되는 소스 전극과 드레인 전극; 상기 소스 전극 및 상기 드레인 전극과 상기 산화물 반도체층 사이에 마련되며, 상기 산화물 반도체층과의 OAD 값 차이로 인해 상기 산화물 반도체층에 국부적인 도핑 농도를 증가시키는 기능층; 및 상기 산화물 반도체층과 적어도 일부가 중첩하는 게이트 전극을 포함하며, 상기 산화물 반도체층의 국부적인 도핑 농도 증가로 인해, 상기 소스 전극 및 상기 드레인 전극과 상기 산화물 반도체층 사이의 접촉 저항이 감소될 수 있다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 산화물 반도체층이 n-타입 산화물 반도체층이면, 상기 기능층은 상기 산화물 반도체층의 OAD 값보다 낮은 OAD 값을 갖는 물질을 포함하며, 상기 기능층은 플라즈마를 이용한 표면 처리되어 OAD 값이 감소하여, 상기 기능층의 플라즈마를 이용한 표면 처리 이전보다 상기 기능층 및 상기 산화물 반도체층의 OAD 값의 차이가 증가될 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 플라즈마를 이용한 표면 처리된 상기 기능층은 상기 산화물 반도체층에 산소 공극을 유발시킬 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 산화물 반도체층이 p-타입 산화물 반도체층이면, 상기 기능층은 상기 산화물 반도체층의 OAD 값보다 높은 OAD 값을 갖는 물질을 포함하며, 상기 기능층은 열 처리되어 OAD 값이 증가하여, 상기 기능층의 열 처리 이전보다 상기 기능층 및 상기 산화물 반도체층의 OAD 값의 차이가 증가될 수 있다.

- [0013] 본 발명의 일 실시예에 있어서, 상기 열 처리된 상기 기능층은 상기 산화물 반도체층에 산소 이온을 제공하여, 양이온의 공극을 유발시킬 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 기능층은 TiO<sub>2</sub>, ZnO, Al<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>, SiO<sub>2</sub> 및 Y<sub>2</sub>O<sub>3</sub> 중 적어도 하나를 포함할 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 기능층은 10nm 미만의 두께를 가질 수 있다.
- [0016] 본 발명의 일 측면에 따른 메모리 셀은 비트 관독 라인; 비트 기입 라인; 워드 관독 라인; 워드 기입 라인; 상기 비트 기입 라인 및 상기 워드 관독 라인에 연결되는 제1 산화물 반도체 트랜지스터; 및 상기 비트 관독 라인 및 상기 워드 기입 라인에 연결되고, 전하 저장 노드를 통하여 상기 제1 산화물 반도체 트랜지스터에 연결되는 제2 트랜지스터를 포함하며, 상기 제1 트랜지스터 및 상기 제2 트랜지스터 중 적어도 하나는 산화물 반도체층; 산화물 반도체층의 양단에 연결되는 소스 전극과 드레인 전극; 상기 소스 전극 및 상기 드레인 전극과 상기 산화물 반도체층 사이에 마련되며, 상기 산화물 반도체층과의 OAD 값 차이로 인해 상기 산화물 반도체층에 국부적인 도핑 농도를 증가시키는 기능층; 및 상기 산화물 반도체층과 적어도 일부가 중첩하는 게이트 전극을 포함하며, 상기 산화물 반도체층의 국부적인 도핑 농도 증가로 인해, 상기 소스 전극 및 상기 드레인 전극과 상기 산화물 반도체층 사이의 접촉 저항이 감소될 수 있다.
- [0017] 본 발명의 일 측면에 따른 산화물 반도체 트랜지스터를 제조하기 위한 방법은 산화물 반도체층을 형성하는 단계; 상기 산화물 반도체층의 양단 상에 기능층을 형성하는 단계; 상기 산화물 반도체층 및 상기 기능층의 OAD 값의 차이가 증가하도록 상기 기능층의 OAD 값을 조정하는 기능층 특성 개선 단계; 상기 산화물 반도체층 양단의 상기 기능층 상에 소스 전극 및 드레인 전극을 형성하는 단계; 및 상기 산화물 반도체층과 적어도 일부가 중첩하는 게이트 전극을 형성하는 단계를 포함하며, 상기 기능층 특성 개선 단계는 상기 산화물 반도체층 및 상기 기능층의 OAD 값의 차이를 증가시킬 수 있다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 산화물 반도체층이 n-타입 산화물 반도체층이면, 상기 기능층은 상기 산화물 반도체층의 OAD 값보다 낮은 OAD 값을 갖는 물질을 포함하며, 상기 기능층 특성 개선 단계에서는 상기 기능층을 플라즈마를 이용한 표면 처리하여 상기 기능층의 OAD 값을 낮추며, 상기 플라즈마를 이용한 표면 처리에 의해, 상기 기능층 및 상기 산화물 반도체층의 OAD 값의 차이가 증가될 수 있다.
- [0019] 본 발명의 일 실시예에 있어서, 상기 플라즈마를 이용한 표면 처리된 상기 기능층은 상기 산화물 반도체층에 산소 공극을 유발시킬 수 있다.
- [0020] 본 발명의 일 실시예에 있어서, 상기 산화물 반도체층이 p-타입 산화물 반도체층이면, 상기 기능층은 상기 산화물 반도체층의 OAD 값보다 높은 OAD 값을 갖는 물질을 포함하며, 상기 기능층 특성 개선 단계에서는 상기 기능층을 열 처리하여 상기 기능층의 OAD 값을 높이며, 상기 열 처리에 의해, 상기 기능층 및 상기 산화물 반도체층의 OAD 값의 차이가 증가될 수 있다.
- [0021] 본 발명의 일 실시예에 있어서, 상기 열 처리된 상기 기능층은 상기 산화물 반도체층에 산소 이온을 제공하여, 양이온의 공극을 유발시킬 수 있다.

**발명의 효과**

- [0022] 본 발명에 따른 산소면적밀도 조절 기술이 적용된 소스와 드레인 컨택의 금속-유전층-반도체 구조를 갖는 산화물 반도체 트랜지스터 및 그 제조 방법은 소스 전극 및 드레인 전극과 산화물 반도체층 사이의 접촉 저항을 감소시킬 수 있다.

**도면의 간단한 설명**

- [0023] 도 1은 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터를 포함하는 2T-0C DRAM 셀을 설명하기 위한 회로도이다.
- 도 2는 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터를 설명하기 위한 단면도이다.
- 도 3은 도 2에 도시된 기능층이 OSL(oxygen scavenger layer)인 경우를 예로서 도시한 것이다.
- 도 4는 도 2에 도시된 기능층이 OPL(oxygen provider layer)인 경우를 예로서 도시한 것이다.
- 도 5는 OLS에 의한 산화물 반도체층의 도핑 효과를 설명하기 위한 도면이다.

도 6은 OLS에 SBH(Schottky barrier height)의 감소를 설명하기 위한 도면이다.

도 7은 도핑 효과에 의한 OSL의 전도성 증가를 설명하기 위한 도면이다.

도 8은 기능층의 두께에 따른 SBH 변화를 설명하기 위한 도면이다.

도 9는 산화물 반도체층의 도핑 농도에 따른 접촉 저항 변화를 설명하기 위한 도면이다.

도 10은 산화물 반도체층이 IGZO를 포함하고, 기능층이 TiO<sub>2</sub>를 포함하며, 기능층의 특성 개선 처리를 수행하지 않는 경우, 티탄과 산소 사이의 결합 에너지를 설명하기 위한 그래프이다.

도 11은 산화물 반도체층이 IGZO를 포함하고, 기능층이 TiO<sub>2</sub>를 포함하며, 기능층의 특성 개선 처리를 수행한 경우, 티탄과 산소 사이의 결합 에너지를 설명하기 위한 그래프이다.

도 12는 본 발명의 일 실시예에 따른 도시된 산화물 반도체 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

도 13 내지 도 16은 본 발명의 일 실시예에 따른 도시된 산화물 반도체 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.

### 발명을 실시하기 위한 구체적인 내용

- [0024] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 첨부된 도면들과 연관되는 이하의 상세한 설명과 바람직한 실시예로부터 더욱 명백해질 것이다. 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0025] 또한, 첨부된 도면은 본 명세서에 개시된 실시 예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되지 않으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0026] 또한, 제 1, 제 2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0028] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터를 포함하는 2T-0C DRAM 셀을 설명하기 위한 회로도이다.
- [0030] 도 1을 참조하면, 2T-0C DRAM 셀(CELL)은 두 개의 비트 라인(BL\_W, BL\_R), 두 개의 워드 라인(WL\_W, WL\_R) 및 두 개의 트랜지스터(T1, T2)를 포함할 수 있다.
- [0031] 두 개의 비트 라인(BL\_W, BL\_R)은 하나의 비트 기입 라인(BL\_W)과 하나의 비트 판독 라인(BL\_R)을 포함할 수 있다. 두 개의 워드 라인(WL\_W, WL\_R)은 하나의 워드 기입 라인(WL\_W)과 하나의 워드 판독 라인(WL\_R)을 포함할 수 있다. 두 개의 트랜지스터(T1, T2)는 IGZO 채널을 구비하는 산화물 반도체 트랜지스터로, 제1 IGZO 트랜지스터(T1)와 제2 IGZO 트랜지스터(T2)를 포함할 수 있다.
- [0032] 2T-0C DRAM 셀(CELL)에서, 제1 IGZO 트랜지스터(T1)는 제1 제어 노드(controlled node)(CN1)를 통하여 비트 기입 라인(BL\_W)에 연결되고, 제1 게이트(G1)가 워드 기입 라인(WL\_W)에 연결되고, 제2 제어 노드(CN2)를 통하여 제2 IGZO 트랜지스터(T2)에 연결될 수 있습니다.
- [0033] 2T-0C DRAM 셀(CELL)에서, 제2 IGZO 트랜지스터(T2)는 제3 제어 노드(CN3)를 통하여 비트 판독 라인(BL\_R)에 연결되고, 제4 제어 노드(CN4)를 통하여 워드 판독 라인(WL\_R)에 연결될 수 있습니다.
- [0034] 전하 저장 노드(SN)는 제1 IGZO 트랜지스터(T1)와 제2 IGZO 트랜지스터(T2)의 제2 게이트(G2)를 연결하며, 2T-0C DRAM 셀(CELL)에 대한 비트 값을 유지할 수 있습니다.
- [0035] 전하 저장 노드(SN)는 제1 IGZO 트랜지스터(430)의 제2 제어 노드(CN2)의 기생 용량과 제2 IGZO 트랜지스터(440)의 제2 게이트(G2)의 기생 용량의 합과 동일한 용량을 가질 수 있다.

- [0037] 도 2는 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터를 설명하기 위한 단면도로, 도 1에 도시된 제1 IGZO 트랜지스터 및 제2 IGZO 트랜지스터의 구조를 설명하기 위한 것이다. 도 2에서는 설명의 편의를 위하여 제1 IGZO 트랜지스터를 예로서 도시한다. 도 3 및 도 4는 도 2의 EA1 영역의 확대도들로, 도 3은 도 2에 도시된 기능층이 OSL(oxygen scavenger layer)인 경우를 예로서 도시한 것이며, 도 4는 도 2에 도시된 기능층이 OPL(oxygen provider layer)인 경우를 예로서 도시한 것이며, 도 5는 OLS에 의한 산화물 반도체층의 도핑 효과를 설명하기 위한 도면이며, 도 6은 OLS에 SBH(Schottky barrier height)의 감소를 설명하기 위한 도면이며, 도 7은 도핑 효과에 의한 OSL의 전도성 증가를 설명하기 위한 도면이다.
- [0038] 도 2 내지 도 7을 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터(100)는 기판(110), 산화물 반도체층(120), 기능층(130), 소스 전극(140), 드레인 전극(150), 게이트 절연막(160) 및 게이트 전극(170)을 포함할 수 있다.
- [0039] 기판(110)은 실리콘 기판 또는 절연성 기판일 수 있다. 본 발명의 일 실시예에 있어서, 기판(110)은 실리콘 기판일 수 있다.
- [0040] 절연성 기판은 경성(rigid) 기판일 수 있다. 예를 들면, 절연성 기판은 기유리 베이스 기판, 석영 베이스 기판, 유리 세라믹 베이스 기판 및 결정질 유리 베이스 기판 중 하나일 수 있다.
- [0041] 절연성 기판은 가요성(flexible) 기판일 수도 있다. 여기서, 절연성 기판은 고분자 유기물을 포함하는 필름 베이스 기판 및 플라스틱 베이스 기판 중 하나일 수 있다. 예를 들면, 절연성 기판은 폴리에테르술폰(PES, polyethersulfone), 폴리아크릴레이트(polyacrylate), 폴리에테르이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylenen naphthalate), 폴리에틸렌 테레프탈레이트(PET, polyethylene terephthalate), 폴리페닐렌 설파이드(PPS, polyphenylene sulfide), 폴리아릴레이트(PAR, polyarylate), 폴리이미드(PI, polyimide), 폴리카보네이트(PC, Polycarbonate), 트리아세테이트 셀룰로오스(TAC, Triacetate Cellulose), 및 셀룰로오스아세테이트 프로피오네이트(CAP, cellulose acetate propionate) 중 하나를 포함할 수 있다. 또한, 절연성 기판은 유리 섬유 강화플라스틱(FRP, Fiber glass reinforced plastic)을 포함할 수도 있다.
- [0042] 절연성 기판에 적용되는 물질은 산화물 반도체 트랜지스터의 제조 공정 시, 높은 처리 온도에 대해 저항성(또는 내열성)을 갖는 것이 바람직하다.
- [0043] 산화물 반도체층(120)은 기판(110) 상에 마련될 수 있다.
- [0044] 산화물 반도체층(120)은 비정질 산화물 반도체 물질을 포함할 수 있다. 예를 들면, 산화물 반도체층(120)은 비정질의 IGZO(InGaZnO), InGaO, InSnZnO, InZnO, ZnO, SnO, SnO<sub>2</sub>, CuO, Cu<sub>2</sub>O, NiO, Cr<sub>2</sub>O<sub>3</sub>, Co<sub>3</sub>O<sub>4</sub> 및 Mn<sub>3</sub>O<sub>4</sub> 중 적어도 하나를 포함할 수 있다.
- [0045] 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터(100)는 산화물 반도체층(120)에 포함되는 비정질 산화물 반도체 물질에 따라 p-타입 트랜지스터 또는 n-타입 트랜지스터로 결정될 수 있다. 예를 들어, 산화물 반도체층(120)이 비정질 IGZO와 같은 물질을 포함하는 경우, 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터(100)는 n-타입 트랜지스터일 수 있다. 또한, 산화물 반도체층(120)이 비정질 SnO와 같은 물질을 포함하는 경우, 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터(100)는 p-타입 트랜지스터일 수 있다.
- [0046] 한편, 기판(110)이 절연성 기판인 경우, 기판(110)과 산화물 반도체층(120) 사이에는 절연막이 마련될 수 있다. 기판(110)과 산화물 반도체층(120) 사이의 절연막은 질화실리콘(SiNx), 산화실리콘(SiO<sub>2</sub>) 및 산화알루미늄(Al<sub>2</sub>O<sub>3</sub>) 중 적어도 하나를 포함할 수 있다.
- [0047] 소스 전극(140) 및 드레인 전극(150)은 산화물 반도체층(120) 상에 서로 이격되어 배치될 수 있다. 소스 전극(140) 및 드레인 전극(150)은 산화물 반도체층(120)의 양단에 연결될 수 있다. 예를 들면, 소스 전극(140)은 산화물 반도체층(120)의 일단에 연결되고, 드레인 전극(150)은 산화물 반도체층(120)의 타단에 연결될 수 있다.
- [0048] 소스 전극(140) 및 드레인 전극(150)은 도전성 물질을 포함할 수 있다. 예를 들면, 소스 전극(140) 및 드레인 전극(150)은 금속 물질 또는 도전성 금속 산화물을 포함할 수 있다.
- [0049] 소스 전극(140) 및 드레인 전극(150)이 금속 물질을 포함하는 경우, 소스 전극(140) 및 드레인 전극(150)은 금

(Au), 은(Ag), 백금(Pt), 크롬(Cr), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 탄탈륨(Ta), 몰리브덴(Mo), 텅스텐(W), 니켈(Ni), 팔라듐(Pd), 및 이들의 합금 중 적어도 하나를 포함할 수 있다.

- [0050] 한편, 상술한 바와 같이, 비정질 산화물 반도체 물질을 포함하는 산화물 반도체층(120)은 높은 표면 계면 트랩 농도(interface trap density,  $D_{it}$ )를 가지며, 이에 따라 SBH(Schottky barrier height)가 높아질 수 있다. 따라서, 산화물 반도체층(120)과 소스 전극(140) 또는 드레인 전극(150) 사이의 높은 접촉 저항(contact resistance)을 유발할 수 있다.
- [0051] 이를 방지하기 위하여, 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터(100)는 소스 전극(140) 및 드레인 전극(150)과 산화물 반도체층(120) 사이에 마련된 기능층(130)을 포함할 수 있다. 기능층(130)은  $TiO_2$ ,  $ZnO$ ,  $Al_2O_3$ ,  $ZrO_2$ ,  $SiO_2$  및  $Y_2O_3$  중 적어도 하나를 포함할 수 있다.
- [0052] 기능층(130)의 OAD(oxygen areal density) 값은 산화물 반도체층(120)의 OAD 값과 상이할 수 있다. 여기서, OAD 값은 물질 내 산소의 부피 분율을 의미하며, 높은 OAD 값을 가지는 층 또는 막에서 낮은 OAD 값을 갖는 층 또는 막으로 산소 이온이 이동하는 경향이 있다.
- [0053] 예를 들어, 산화물 반도체층(120)이 n-타입 산화물 반도체 물질인 IGZO를 포함하고, IGZO보다 OAD 값이 낮은 물질을 기능층(130)에 적용하면, 도 3에 도시된 바와 같이, 산화물 반도체층(120)의 산소 이온은 기능층(130)으로 이동할 수 있다. 여기서, 기능층(130)은 OSL(oxygen scavenger layer)로, 산화물 반도체층(120) 내에 산소 공공(oxygen vacancy)의 생성을 유도할 수 있다. 이러한 산소 공공은 도너(donor)로 작용하여, 산화물 반도체층(120)의 소스 전극(140) 및 드레인 전극(150)과 접촉하는 표면에 n-타입의 도핑 효과를 유발할 수 있다.
- [0054] 또한, 산화물 반도체층(120)이 p-타입 산화물 반도체 물질인 SnO를 포함하고, SnO보다 OAD 값이 높은 물질을 기능층(130)에 적용하면, 도 4에 도시된 바와 같이, 기능층(130)의 산소 이온은 산화물 반도체층(120)으로 이동할 수 있다. 여기서, 기능층(130)은 OPL(oxygen provider layer)로, 산화물 반도체층(120)으로 이동한 산소 이온은 Sn과 결합하여 산화물 반도체층(120) 내에 Sn 공공(Sn vacancy)과 같은 양이온 공공의 생성을 유도할 수 있다. 이러한 양이온 공공은 억셉터(acceptor)로 작용하여, 산화물 반도체층(120)의 소스 전극(140) 및 드레인 전극(150)과 접촉하는 표면에 p-타입의 도핑 효과를 유발할 수 있다.
- [0055] 또한, 기능층(130)의 OAD 값은 기능층(130)을 플라즈마를 이용한 표면 처리 또는 열 처리와 같은 특성 개선 처리함으로써, 개선될 수 있다.
- [0056] 예를 들면, 산화물 반도체층(120)이 IGZO를 포함하고, 기능층(130)이 IGZO보다 OAD 값이 낮은 물질을 포함하면, 기능층(130)의 특성 개선 처리에는 플라즈마를 이용하는 표면 처리 방법이 사용될 수 있다. 산화물 반도체층(120)보다 OAD 값이 낮은 물질을 포함하는 기능층(130)을 플라즈마를 이용하여 표면 처리하면, 기능층(130)의 OAD 값은 더욱 낮아질 수 있다. 따라서, 기능층(130)과 산화물 반도체층(120)의 OAD 값의 차이가 증가될 수 있다.
- [0057] 또한, 산화물 반도체층(120)이 SnO를 포함하고, 기능층(130)이 SnO보다 OAD 값이 높은 물질을 포함하면, 기능층(130)의 특성 개선 처리에는 열 처리 방법이 사용될 수 있다. 산화물 반도체층(120)보다 OAD 값이 높은 물질을 포함하는 기능층(130)을 열 처리하면, 기능층(130)의 OAD 값은 더욱 높아질 수 있다. 따라서, 기능층(130)과 산화물 반도체층(120)의 OAD 값의 차이가 증가될 수 있다.
- [0058] 상술한 바와 같은 기능층(130)은 10nm 미만의 두께를 가질 수 있다. 기능층(130)의 두께가 10nm 이상이 되면, 소스 전극(140) 및 드레인 전극(150)과 산화물 반도체층(120)의 접촉 저항이 증가할 수 있다. 따라서, 기능층(130)의 두께가 10nm 이상이 되면, 기능층(130)이 저항으로 작용하므로, 기능층(130)의 두께는 10nm 미만이어야 한다.
- [0059] 게이트 절연막(160)은 산화물 반도체층(120) 상에 마련될 수 있다.
- [0060] 게이트 절연막(160)은 무기 절연 물질을 포함할 수 있다. 예를 들면, 게이트 절연막(160)은 질화실리콘( $SiN_x$ ), 산화실리콘( $SiO_x$ ), 이산화게르마늄( $GeO_2$ ), 이산화 타이타늄( $TiO_2$ ), 산화아연( $ZnO$ ), 아조화합물(AZO), 산화 마그네슘( $MgO$ ), 산화알루미늄( $Al_2O_3$ ), 지르코늄디옥사이드( $ZrO_2$ ), 지르코늄실리케이트( $ZrSiO_4$ ), 하프늄실리케이트( $HfSiO_4$ ), 산화스트론튬( $SrO$ ), 오산화탄탈륨( $Ta_2O_5$ ), 이트륨옥사이드( $Y_2O_3$ ), 산화하프늄( $HfO_2$ ), 산화란타륨( $La_2O_3$ ), 산화바륨( $BaO$ ), 란타늄-루테튬-산화물( $LaLuO_2$ ) 및 란타늄알루미늄이트( $LaAlO_3$ ) 중 적어도 하나를 포함

할 수 있다.

- [0061] 한편, 본 발명의 일 실시예에서는, 게이트 절연막(160)이 무기 절연막인 경우를 예로서 설명하였으나, 이에 한정되는 것은 아니다. 게이트 절연막(160)의 형상이나 재료는 필요에 따라 달리 형성될 수 있다. 예를 들면, 게이트 절연막(160)은 유기 절연 물질을 포함할 수도 있다. 다만, 게이트 절연막(160)이 무기 절연 물질로 이루어지는 경우, 유기 절연 물질로 이루어지는 절연막에 비하여 기계적 안정성 및 화학적 안정성이 우수할 수 있다.
- [0062] 게이트 전극(170)은 게이트 절연막(160) 상에 마련될 수 있다. 한편, 본 발명의 일 실시예에서는 산화물 반도체 트랜지스터(100)가 탑 게이트 구조의 트랜지스터임을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 산화물 반도체 트랜지스터(100)는 바텀 게이트 구조의 트랜지스터일 수도 있다. 산화물 반도체 트랜지스터(100)가 바텀 게이트 구조의 트랜지스터인 경우, 도 2에 도시된 게이트 전극(170)이 생략되고, 상술한 기판(110)이 고농도로 도핑된 불순물을 포함하여 게이트 전극으로 작용할 수도 있다.
- [0063] 또한, 산화물 반도체 트랜지스터(100)는 산화물 반도체층(120)의 상부 및 하부 모두에 게이트 전극(170)이 마련되는 더블 게이트 구조의 트랜지스터일 수도 있다.
- [0064] 또한, 게이트 전극(170)은 소스 전극(140) 및 드레인 전극(150) 사이의 산화물 반도체층(120)의 적어도 일부와 중첩될 수 있다.
- [0065] 게이트 전극(170)은 금속 물질을 포함하는 도전막일 수도 있다. 예를 들면, 게이트 전극(170)은 금(Au), 은(Ag), 백금(Pt), 크롬(Cr), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 탄탈륨(Ta), 몰리브덴(Mo), 텅스텐(W), 니켈(Ni) 팔라듐(Pd), 및 이들의 합금 중 적어도 하나를 포함할 수 있다.
- [0066] 한편, 본 발명의 일 실시예에서는 게이트 전극(170)이 산화물 반도체층(120)의 상부에 배치되는 구조를 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 게이트 전극(170)은 산화물 반도체층(120)의 하부에 마련될 수도 있다.
- [0067] 상술한 바와 같은 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터(100)는 기능층(130)이 OSL(oxygen scavenger layer) 또는 OPL(oxygen provider layer)로 역할을 할 수 있다. 이러한 기능층(130)은 도 3 및 도 4에 도시된 바와 같이, 기능층(130)과 접촉하는 영역의 산화물 반도체층(120)에 국부적인 도핑 농도를 증가시킬 수 있다. 도 5에 도시된 바와 같이, 산화물 반도체층(120)의 국부적인 도핑 농도가 증가됨에 따라, 산화물 반도체층(120)의 도너가 증가하여 캐리어의 터널링 확률이 증가될 수 있다.
- [0068] 또한, 도 3 및 도 4에 도시된 바와 같이, 산소 이온의 이동에 의해 기능층(130)과 산화물 반도체층(120) 사이의 계면에 쌍극자(dipole)가 형성될 수 있다. 쌍극자가 기능층(130)과 산화물 반도체층(120) 사이의 계면에 형성되면, 도 6에 도시된 바와 같이, 소스 전극(140) 및 드레인 전극(150)과 산화물 반도체층(120) 사이의 SBH(Schottky barrier height)가 감소되고, 소스 전극(140) 및 드레인 전극(150)과 산화물 반도체층(120) 사이의 접촉 저항이 감소될 수 있다.
- [0069] 도 7에 도시된 바와 같이, 산화물 반도체로(120)의 산소 이온이 기능층(130)으로 이동하거나, 기능층(130)의 산소 이온은 산화물 반도체층(120)으로 이동하면, 산화물 반도체층(120) 및 기능층(130) 내의 도핑 농도가 증가될 수 있다. 산화물 반도체층(120) 및 기능층(130) 내의 도핑 농도가 증가됨에 따라 기능층(130)의 도전성이 향상될 수 있다. 따라서, 터널링 두께가 감소되고, 산화물 반도체층(120), 기능층(130)과 소스 전극(140) 또는 드레인 전극(150)의 직렬 저항이 감소될 수 있다.
- [0071] 도 8은 기능층의 두께에 따른 SBH 변화를 설명하기 위한 도면이며, 도 9는 산화물 반도체층의 도핑 농도에 따른 접촉 저항 변화를 설명하기 위한 도면이다.
- [0072] 우선, 도 8을 참조하면, 산화물 반도체층(120)이 IGZO를 포함하는 산화물 반도체 트랜지스터(100)에서, 기능층(130)을 포함하지 않는 경우, 소스 전극(140) 및 드레인 전극(150)과 산화물 반도체층(120) 사이의 SBH는 0.19eV임을 알 수 있다. 또한, 기능층(130)을 포함하는 경우, 소스 전극(140) 및 드레인 전극(150)과 산화물 반도체층(120) 사이의 SBH는 0.17eV 이하임을 알 수 있다. 즉, 기능층(130)에 의해 소스 전극(140) 및 드레인 전극(150)과 산화물 반도체층(120) 사이의 SBH가 감소함을 알 수 있다.
- [0073] 다만, 도 8에 도시된 바와 같이, 기능층(130)의 두께가 증가하더라도, 소스 전극(140) 및 드레인 전극(150)과 산화물 반도체층(120) 사이의 SBH가 감소하는 비율은 작을 수 있다. 또한, 산화물 반도체층(120)의 도핑 농도도

소스 전극(140) 및 드레인 전극(150)과 산화물 반도체층(120) 사이의 SBH에 미치는 영향이 적음을 알 수 있다.

- [0074] 도 9를 참조하면, 산화물 반도체층(120)의 도핑 농도가 증가할수록, 소스 전극(140) 및 드레인 전극(150)과 산화물 반도체층(120) 사이의 접촉 저항이 낮아짐을 알 수 있다.
- [0075] 기능층(130)이 소스 전극(140) 및 드레인 전극(150)과 산화물 반도체층(120) 사이에 마련되는 경우, 산화물 반도체층(120)의 도핑 농도가 증가할수록 소스 전극(140) 및 드레인 전극(150)과 산화물 반도체층(120) 사이의 접촉 저항이 낮아지는 경향이 강해짐을 알 수 있다. 특히, 기능층(130)에 의해 IGZO를 포함하는 산화물 반도체층(120)이  $10^{19}$ 의 도핑 농도를 가지게 되는 경우, 소스 전극(140) 및 드레인 전극(150)과 산화물 반도체층(120) 사이의 접촉 저항은 기능층(130)을 구비하지 않고 도핑되지 않은 산화물 반도체층(120)과 소스 전극(140) 및 드레인 전극(150) 사이의 접촉 저항에 비하여 약 1000 배 낮음을 알 수 있다.
- [0077] 도 10은 산화물 반도체층이 IGZO를 포함하고, 기능층이 TiO<sub>2</sub>를 포함하며, 기능층의 특성 개선 처리를 수행하지 않는 경우, 티탄과 산소 사이의 결합 에너지를 설명하기 위한 그래프이며, 도 11은 산화물 반도체층이 IGZO를 포함하고, 기능층이 TiO<sub>2</sub>를 포함하며, 기능층의 특성 개선 처리를 수행한 경우, 티탄과 산소 사이의 결합 에너지를 설명하기 위한 그래프이다.
- [0078] 도 10 및 도 11에 도시된 바와 같이, 플라즈마를 이용하여 표면 처리된 기능층(130)의 산소와 티탄 사이의 결합 에너지가 표면 처리를 수행하지 않는 기능층(130)의 산소와 티탄 사이의 결합 에너지보다 낮음을 알 수 있다. 즉, 기능층(130)을 플라즈마를 이용하여 표면 처리하면, 기능층(130) 내의 산소와 티탄이 분리되고, 분리된 산소는 플라즈마에 의해 제거될 수 있다.
- [0079] 이에 따라, 기능층(130)의 OAD 값이 낮아지며, 기능층(130)은 OSL(oxygen scavenger layer)로 작용할 수 있다. 따라서, 산화물 반도체층(120) 내의 산소 이온이 기능층(130)으로 이동할 수 있으며, 산화물 반도체층(120) 내에 산소 공공(oxygen vacancy)이 생성될 수 있다. 이러한 산화물 반도체층(120) 내의 산소 공공은 도너(donor)로 작용하여, 산화물 반도체층(120)의 소스 전극(140) 및 드레인 전극(150)과 접촉하는 표면에 n-타입의 도핑 효과를 유발할 수 있다.
- [0081] 하기에서는 도 12를 참조하여, 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터의 제조 방법을 설명한다.
- [0082] 도 12는 본 발명의 일 실시예에 따른 도시된 산화물 반도체 트랜지스터의 제조 방법을 설명하기 위한 도면이다.
- [0083] 도 12를 참조하면, 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터의 제조 방법은 산화물 반도체층 형성 단계(S100), 기능층 형성 단계(S200), 기능층 특성 개선 단계(S300), 소스/드레인 전극 형성 단계(S400), 게이트 전극 형성 단계(S500)를 거쳐 산화물 반도체 트랜지스터를 제조할 수 있다.
- [0085] 하기에서는 도 13 내지 도 16을 참조하여, 도 12에 도시된 산화물 반도체 트랜지스터의 제조 방법을 보다 상세히 설명한다.
- [0086] 도 13 내지 도 16은 본 발명의 일 실시예에 따른 도시된 산화물 반도체 트랜지스터의 제조 방법을 설명하기 위한 단면도들이다.
- [0087] 우선, 도 13을 참조하면, 산화물 반도체층 형성 단계(S100)에서는, 기판(110) 상에 산화물 반도체층(120)이 형성될 수 있다. 여기서, 기판(110)은 실리콘 기판 또는 절연성 기판일 수 있다. 본 발명의 일 실시예에 있어서, 기판(110)은 실리콘 기판일 수 있다.
- [0088] 산화물 반도체층(120)은 비정질 산화물 반도체 물질을 포함할 수 있다. 예를 들면, 산화물 반도체층(120)은 비정질의 IGZO(InGaZnO), InGaO, InSnZnO, InZnO, ZnO, SnO, SnO<sub>2</sub>, CuO, Cu<sub>2</sub>O, NiO, Cr<sub>2</sub>O<sub>3</sub>, Co<sub>3</sub>O<sub>4</sub> 및 Mn<sub>3</sub>O<sub>4</sub> 중 적어도 하나를 포함할 수 있다.
- [0089] 산화물 반도체층(120)이 형성되는 과정은 하기와 같을 수 있다.
- [0090] 우선, 기판(110) 상에 산화물 반도체층(120)이 형성되는 영역을 노출시키는 제1 마스크 패턴(PR1)이 형성된다. 여기서 제1 마스크 패턴(PR1)은 포토레지스트를 이용한 포토리소그래피 공정을 통하여 형성될 수 있다.

- [0091] 제1 마스크 패턴(PR1)이 형성된 후, CVD와 같은 증착 방법을 이용하여 비정질 산화물 반도체 물질을 포함하는 제1 물질층(120A)이 형성될 수 있다. 여기서, 제1 물질층(120A)은 상술한 산화물 반도체층(120)이 형성되는 영역 이외의 제1 마스크 패턴(PR1) 상에도 형성될 수 있다.
- [0092] 그런 다음 제1 마스크 패턴(PR1)이 제거되면, 제1 마스크 패턴(PR1) 상의 제1 물질층(120A)이 제거되고, 나머지 제1 물질층(120A)이 잔류하여, 산화물 반도체층(120)이 기판(110) 상에 형성될 수 있다.
- [0093] 산화물 반도체층(120)이 형성된 후에는, 어닐링(annealing) 공정을 진행하여 산화물 반도체층(120) 내부의 결함이 제거될 수 있다. 여기서, 어닐링은 400°C 내외의 온도 조건에서 수행될 수 있다.
- [0094] 도 14를 참조하면, 기능층 형성 단계(S200)에서는, 산화물 반도체층(120)의 양단에 접촉되는 기능층(130)이 형성될 수 있다. 기능층(130)은 10nm 이하의 두께로 형성되며, CVD와 같은 증착 방법을 통하여 형성될 수 있다. 기능층(130)은 TiO<sub>2</sub>, ZnO, Al<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>, SiO<sub>2</sub> 및 Y<sub>2</sub>O<sub>3</sub> 중 적어도 하나를 포함할 수 있다.
- [0095] 기능층(130)은 산화물 반도체층(120)과 OAD(oxygen areal density) 값이 상이할 수 있다. 예를 들어, 산화물 반도체층(120)이 n- 타입 산화물 반도체 물질인 IGZO를 포함하면, 기능층(130)은 IGZO보다 OAD 값이 낮은 물질을 포함할 수 있다. 여기서, 기능층(130)은 OSL(oxygen scavenger layer)로, 산화물 반도체층(120) 내에 산소 공공(oxygen vacancy)의 생성을 유도할 수 있다.
- [0096] 또한, 산화물 반도체층(120)이 p-타입 산화물 반도체 물질은 SnO를 포함하면 기능층(130)은 SnO보다 OAD 값이 높은 물질을 포함할 수 있다. 여기서, 기능층(130)은 OPL(oxygen provider layer)로, 산화물 반도체층(120) 내에 Sn 공공(Sn vacancy)의 생성을 유도할 수 있다.
- [0097] 기능층(130)이 형성되는 과정은 하기와 같을 수 있다.
- [0098] 우선, 산화물 반도체층(120)의 양단을 노출시키는 제2 마스크 패턴(PR2)이 형성된다. 여기서, 제2 마스크 패턴(PR2)은 제1 마스크 패턴(PR1)과 같이, 포토레지스트를 이용한 포토리소그래피 공정을 통하여 형성될 수 있다.
- [0099] 제2 마스크 패턴(PR2)이 형성된 후, CVD와 같은 증착 방법을 이용하여 기능층 물질을 포함하는 제2 물질층(130A)이 형성될 수 있다. 여기서, 일부의 제2 물질층(130A)은 제2 마스크 패턴(PR2) 상에 형성되며, 나머지 제2 물질층(130A)은 제2 마스크 패턴(PR2)에 의해 노출되는 산화물 반도체층(120)의 양단 상에 형성될 수 있다. 산화물 반도체층(120)의 양단 상에 형성된 제2 물질층(130A)에 의해, 기능층(130)이 형성될 수 있다.
- [0100] 기능층 특성 개선 단계(S300)에서는, 기능층(130)의 특성 개선 처리를 수행하여, 기능층(130)의 특성이 개선될 수 있다. 여기서, 기능층(130)의 특성 개선은 산화물 반도체층(120) 및 기능층(130)의 OAD 값의 차이를 증가시키는 방향으로 수행될 수 있다.
- [0101] 예를 들면, 산화물 반도체층(120)이 IGZO를 포함하고, 기능층(130)이 IGZO보다 OAD 값이 낮은 물질을 포함하면, 기능층(130)을 플라즈마를 이용하는 표면 처리하여, 기능층(130)의 OAD 값을 더욱 낮게 할 수 있다. 즉, 플라즈마에 의해 표면 처리된 기능층(130)의 OAD 값은 표면 처리되지 않은 기능층(130)의 OAD 값에 비하여 낮을 수 있다.
- [0102] 상술한 플라즈마에는 아르곤(Ar), 산소(O<sub>2</sub>), 사불화탄소(CF<sub>4</sub>) 및 육불화황(SF<sub>6</sub>) 중 적어도 하나가 사용될 수 있다. 예를 들면, 기능층(130)이 TiO<sub>2</sub> 또는 ZnO를 포함하는 경우에는, 아르곤을 이용한 플라즈마가 사용될 수 있으며, 이러한 경우, 200W의 인가 전력 조건에서 5분 내지 20분 동안 기능층(130)을 플라즈마를 이용하여 표면 처리할 수 있다.
- [0103] 상술한 플라즈마에 의해 표면 처리된 기능층(130)은 더욱 OAD 값이 낮아져, OSL(oxygen scavenger layer)으로 작용할 수 있으며, 산화물 반도체층(120)의 내부에 산소 공공을 증가시킬 할 수 있다.
- [0104] 하기의 표 1은 아르곤(Ar) 플라즈마를 이용하여 표면 처리하는 경우, OAD 값의 변화를 설명하기 위한 표이다.
- [0105] 표 1에 사용된 아르곤 플라즈마의 파워는 200W이며, 표면 처리는 진공 조건에서 수행될 수 있다.

**표 1**

Target Film	Condition	σ OAD (/cm <sup>2</sup> )
-------------	-----------	---------------------------

TiO <sub>2</sub>	Reference	0.208
	As-deposition	0.172
	Ar Plasma 5min	0.157
	Ar Plasma 10min	0.146
	Ar Plasma 20min	0.128
ZnO	Reference	0.168
	As-deposition	0.137
	Ar Plasma 5min	0.107
	Ar Plasma 10min	0.096
	Ar Plasma 20min	0.096

- [0107] 상술한 표 1에 개시된 바와 같이, 기능층(130)이 플라즈마에 의해 표면 처리되는 경우, 기능층(130)의 OAD 값이 감소함을 알 수 있다.
- [0108] 또한, 산화물 반도체층(120)이 SnO를 포함하고, 기능층(130)이 SnO보다 OAD 값이 높은 물질을 포함하면, 기능층(130)을 열 처리하여, 기능층(130)의 OAD 값을 더욱 높게 할 수 있다. 예를 들면, 산화물 반도체층(120)이 SnO를 포함하는 경우, 기능층(130)은 100℃ 내지 200℃의 온도 범위에서 20분 내지 40분 동안 열처리될 수 있다. 특히, 200℃의 온도에서 30분 동안 기능층(130)이 열처리될 수 있다.
- [0109] 또한, 산화물 반도체층(120)이 SnO를 포함하는 경우, 기능층(130)은 RTA(rapid thermal annealing) 공정을 통해 열처리될 수도 있다.
- [0110] 상술한 바와 같이, 열 처리된 기능층(130)의 OAD 값은 열 처리되지 않은 기능층(130)의 OAD 값에 비하여 높을 수 있다.
- [0111] 상술한 열 처리된 기능층(130)은 더욱 OAD 값이 높아져, OPL(oxygen provider layer)로 작용할 수 있으며, 산화물 반도체층(120)의 내부에 양이온 공극을 증가시킬 수 있다.
- [0112] 도 15를 참조하면, 소스/드레인 전극 형성 단계(S400)에서는, 기능층(130) 상에 소스 전극(140) 및 드레인 전극(150)이 형성될 수 있다. 여기서, 소스 전극(140) 및 드레인 전극(150)은 산화물 반도체층(120) 상에 서로 이격되어 배치될 수 있다. 예를 들면, 소스 전극(140)은 산화물 반도체층(120)의 일단에 연결되고, 드레인 전극(150)은 산화물 반도체층(120)의 타단에 연결될 수 있다.
- [0113] 소스 전극(140) 및 드레인 전극(150)은 도전성 물질을 포함할 수 있다. 예를 들면, 소스 전극(140) 및 드레인 전극(150)은 금속 물질 또는 도전성 금속 산화물을 포함할 수 있다. 소스 전극(140) 및 드레인 전극(150)은 기능층(130)에 의해 산화물 반도체층(120)과의 접촉 저항이 감소될 수 있다.
- [0114] 소스 전극(140) 및 드레인 전극(150)이 형성되는 과정은 하기와 같을 수 있다.
- [0115] 우선, PVD 또는 CVD와 같은 증착 방법을 이용하여 제2 물질층(130A) 상에 소스 전극(140) 및 드레인 전극(150)에 포함되는 금속 물질 또는 금속 산화물을 포함하는 제3 물질층(140A)이 형성될 수 있다.
- [0116] 여기서, 일부의 제3 물질층(140A)은 제2 물질층(130A) 상에 형성되고, 나머지 제3 물질층(140A)은 기능층(130) 상에 형성되어 소스 전극(140) 및 드레인 전극(150)이 될 수 있다.
- [0117] 그런 다음, 제2 마스크 패턴(PR2)을 제거하면, 제2 마스크 패턴(PR2) 상의 제3 물질층(140A)이 제2 물질층(130A)과 함께 제거될 수 있다. 따라서, 산화물 반도체층(120)의 양단 상에는 기능층(130) 및 소스 전극(140)이 적층된 구조물과 기능층(130) 및 드레인 전극(150)이 적층된 구조물이 잔류할 수 있다.
- [0118] 상기 제2 마스크 패턴(PR2)을 제거한 후, 상기 제2 마스크 패턴(PR2)의 제거에 의해 노출된 산화물 반도체층(120) 상에 게이트 절연막(160)을 형성한다. 게이트 절연막(160)은 무기 절연 물질 또는 유기 절연 물질을 포함할 수 있으며, 다양한 증착 방법 또는 코팅 방법을 통하여 형성될 수 있다.
- [0119] 한편, 본 발명의 일 실시예에서는 기능층(130), 소스 전극(140) 및 드레인 전극(150)을 형성한 후, 게이트 절연막(160)을 형성함을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 산화물 반도체층(120)의 양단을 노출시키는 게이트 절연막(160)을 형성한 후, 기능층(130), 소스 전극(140) 및 드레인 전극(150)을 형성할 수도 있다.
- [0120] 도 16을 참조하면, 게이트 전극 형성 단계(S500)에서는, 게이트 절연막(160) 상에 게이트 전극(170)을 형성할

수 있다. 게이트 전극(170)은 소스 전극(140) 및 드레인 전극(150) 사이의 산화물 반도체층(120)의 적어도 일부와 중첩될 수 있다.

[0121] 한편, 본 발명의 일 실시예에서는 게이트 절연막(160)을 형성한 후, 게이트 전극(170)을 형성함을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 산화물 반도체층(120)의 양단을 노출시키는 게이트 절연막(160)을 형성한 후, 소스 전극(140) 및 드레인 전극(150)을 형성함과 동시에 게이트 전극(170)을 형성할 수도 있다.

[0123] 본 발명은 상기에서 설명된 실시예로 한정되지 않으며, 상기 실시예들 중 적어도 둘 이상을 조합한 것이나 상기 실시예들 중 적어도 어느 하나와 공지기술을 조합한 것을 새로운 실시예로 포함할 수 있음은 물론이다.

[0124] 이상 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당해 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함은 명백하다고 할 것이다.

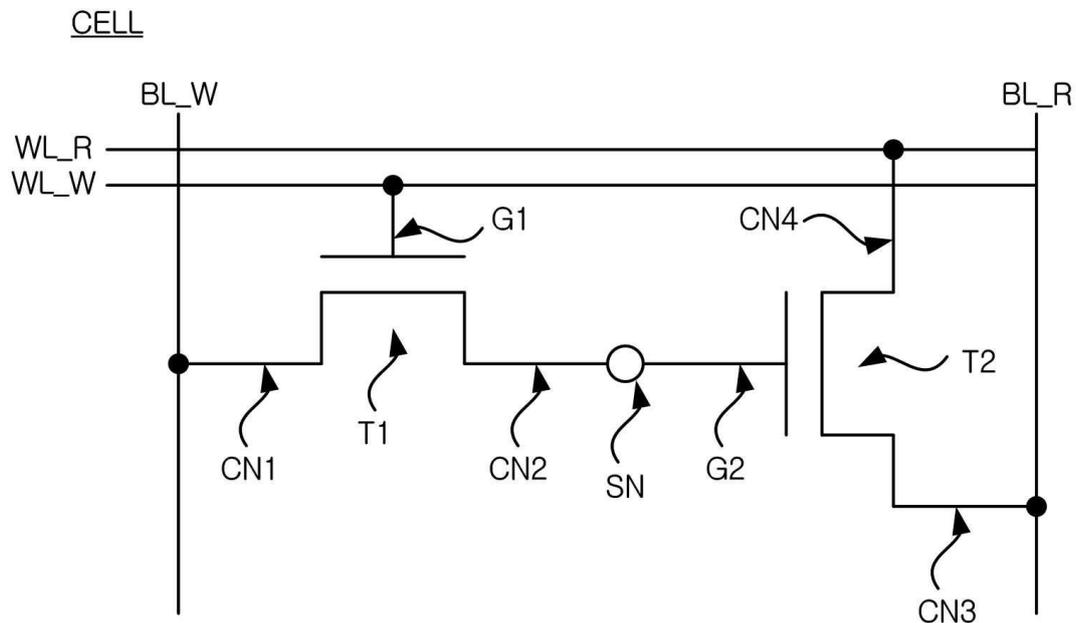
[0125] 본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속하는 것으로 본 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

**부호의 설명**

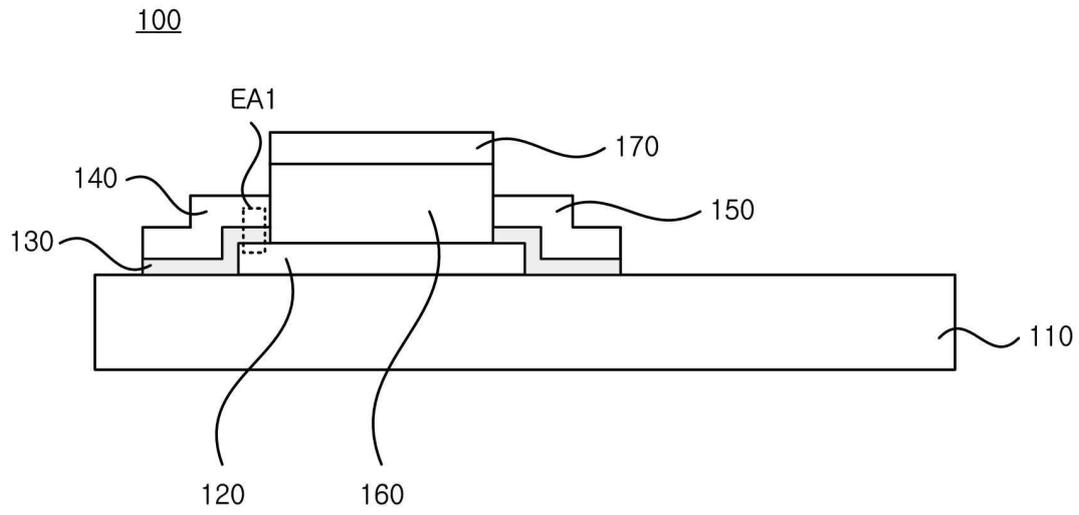
- [0126] 100: 산화물 반도체 트랜지스터
- 110: 기판
- 120: 산화물 반도체층
- 130: 기능층
- 140: 소스 전극
- 150: 드레인 전극
- 160: 게이트 절연막
- 170: 게이트 전극

**도면**

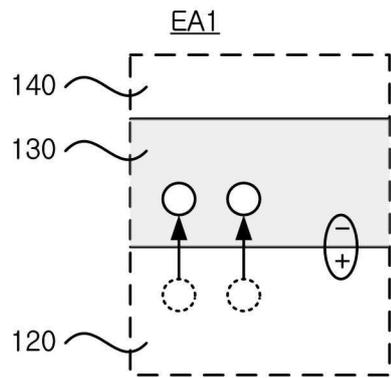
**도면1**



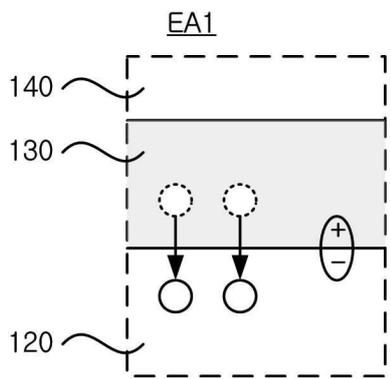
도면2



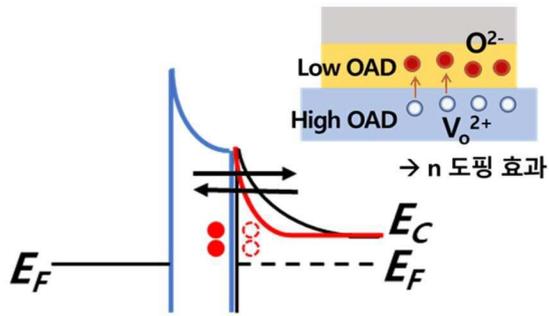
도면3



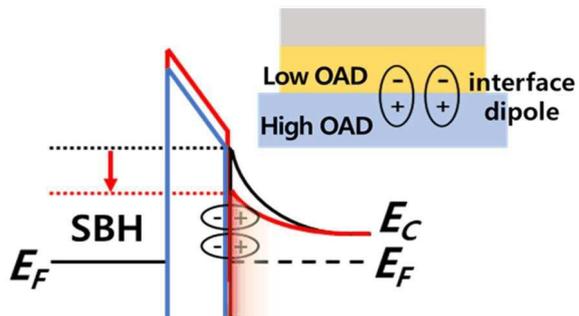
도면4



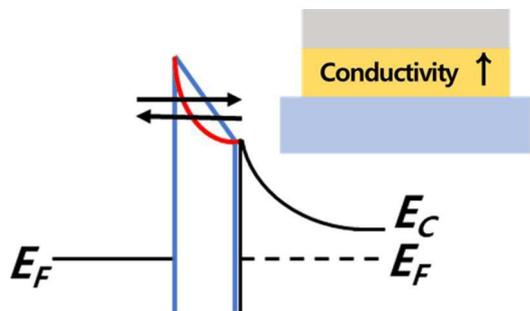
도면5



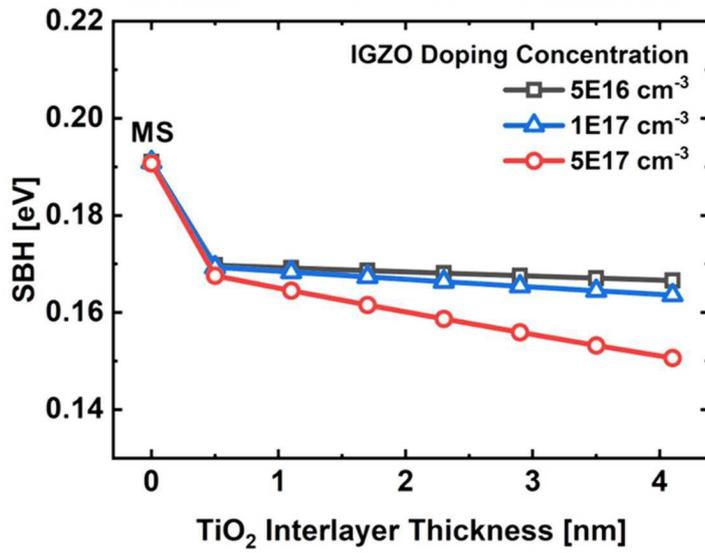
도면6



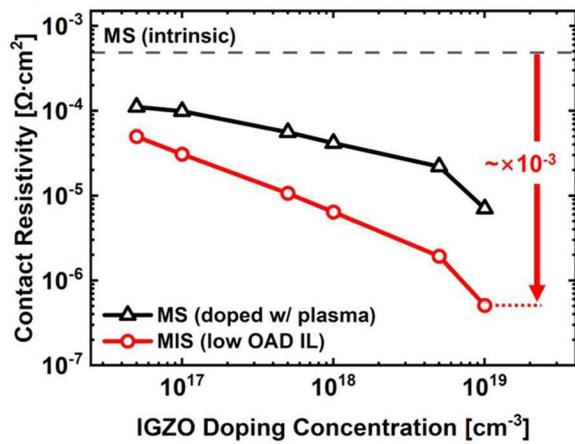
도면7



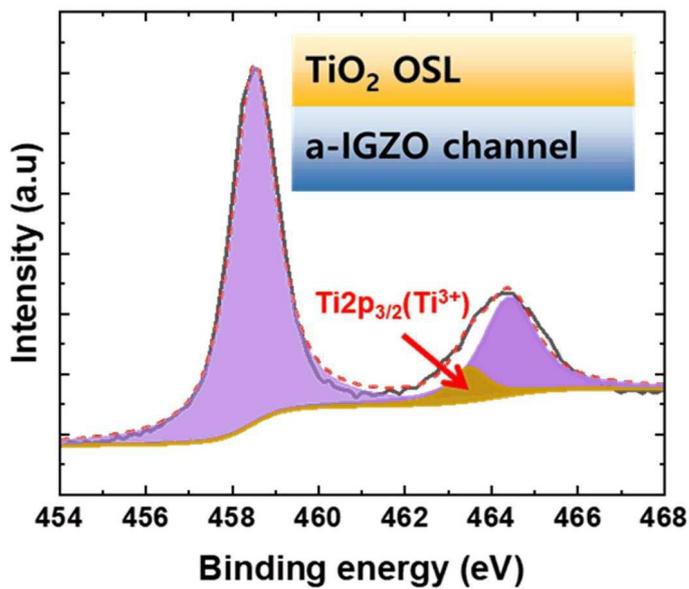
도면8



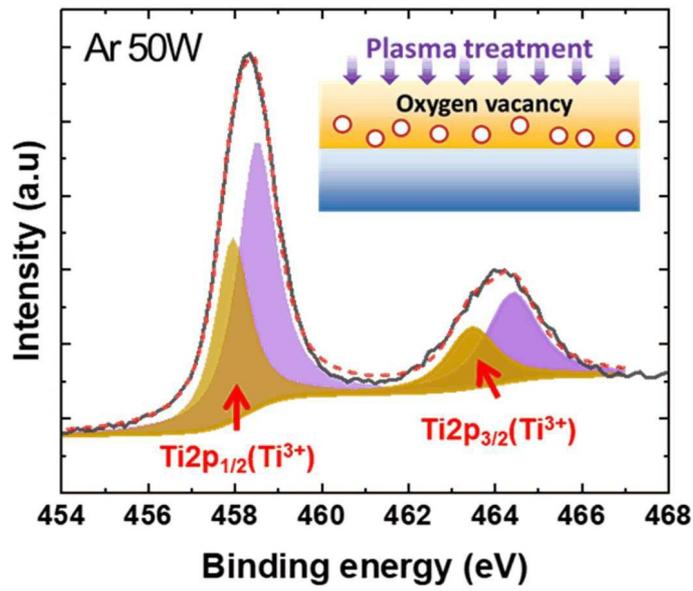
도면9



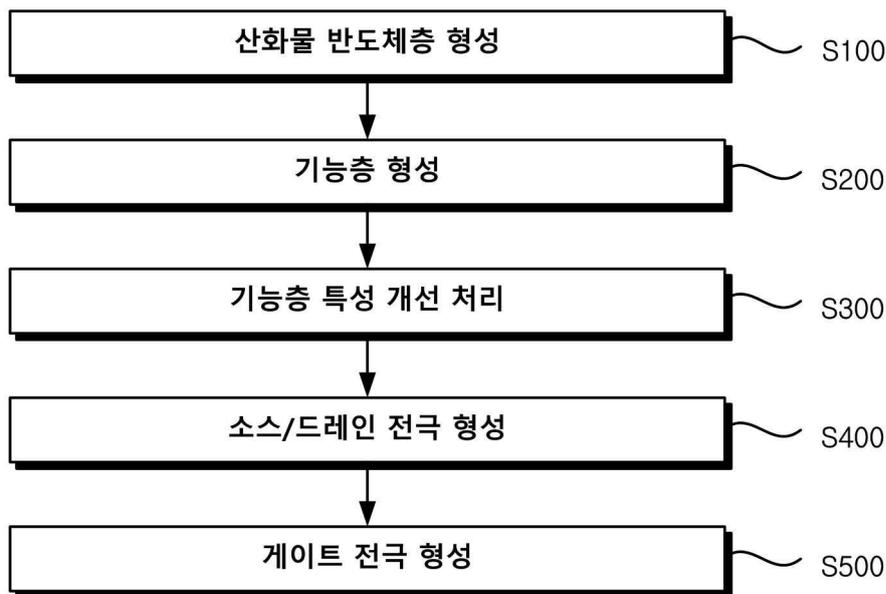
도면10



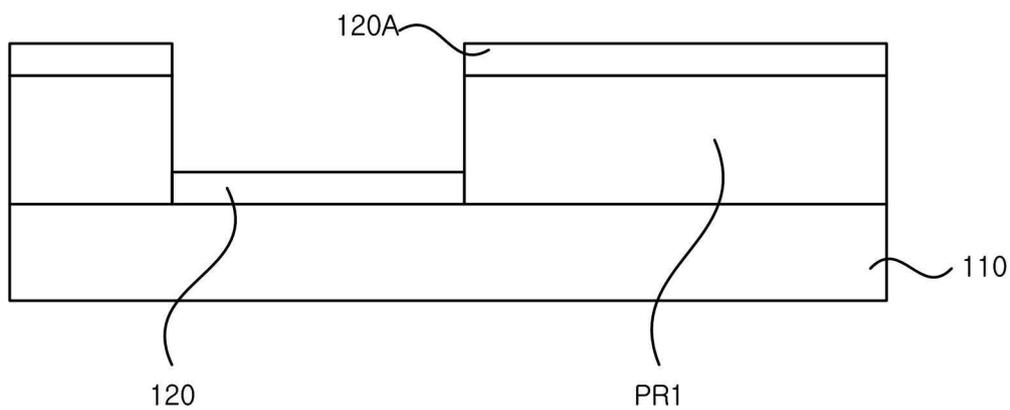
도면11



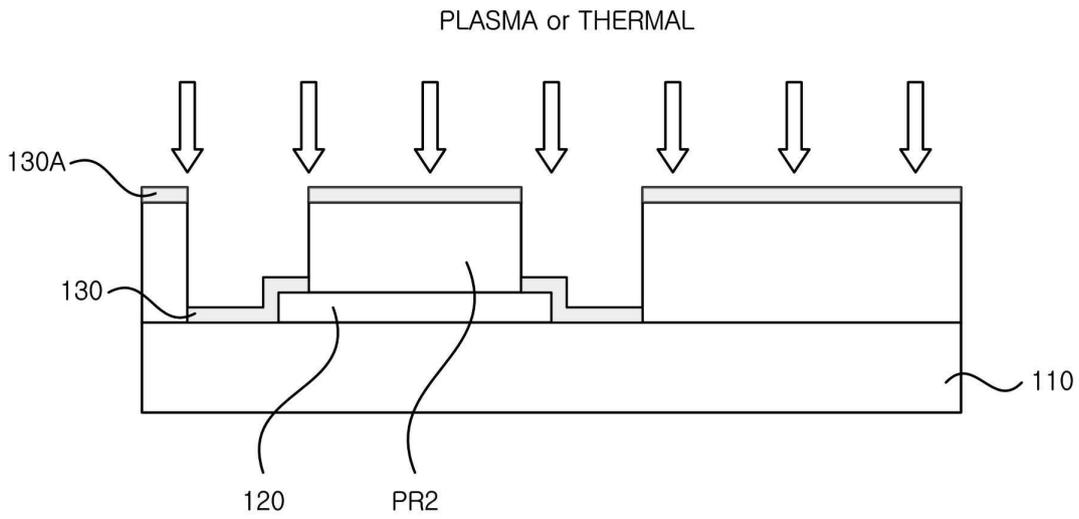
도면12



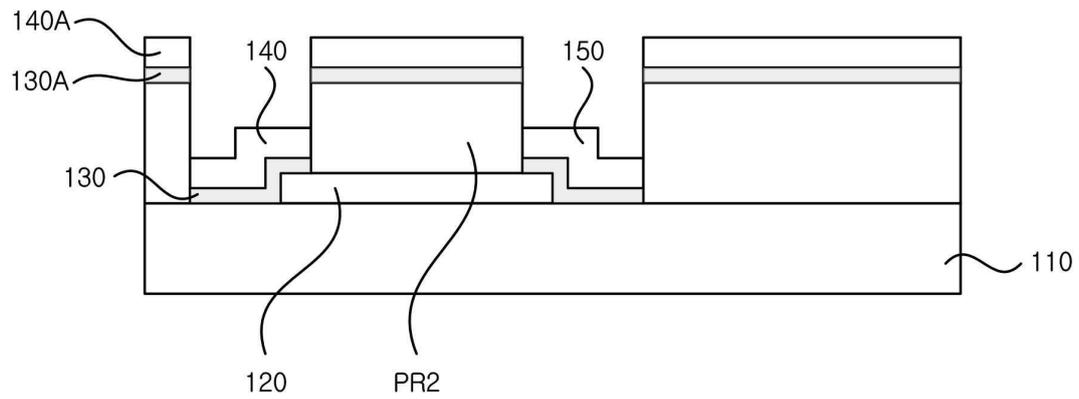
도면13



도면14



도면15



도면16

